

(2) Japanese Patent Application Laid-Open No. 2001-35876 (2001)

“Flip Chip Connection, Semiconductor Device and Method of Manufacturing Semiconductor Device”

5 The following is a concise explanation of this reference:

 This reference relates to a semiconductor device with a flip chip structure in which polyimide resin is used for forming a passivation film. In flip chip connection of the semiconductor device according to this reference, a metal layer is
10 formed on a pad electrode in such a manner that a stable coverage can be provided. The polyimide resin completely covers an insulating film which is located above the uppermost interconnect line and includes a plasma oxide film and a plasma nitride film, and is provided with a tapered portion which serves as a side face of an opening in the pad electrode.

15

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-35876

(P 2 0 0 1 - 3 5 8 7 6 A)

(43)公開日 平成13年 2 月 9 日(2001.2.9)

(51)Int.Cl.⁷

識別記号

F I

テマコード (参考)

H01L 21/60

H01L 21/92

602

L 5F033

21/3205

21/88

T

審査請求 有 請求項の数 8 O L (全12頁)

(21)出願番号 特願平11-208703

(22)出願日 平成11年 7 月23日(1999.7.23)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72)発明者 上村 智弘

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

(74)代理人 100097113

弁理士 堀 城之

Fターム(参考) 5F033 HH11 HH18 HH19 HH23 HH33

JJ11 JJ18 JJ19 JJ23 JJ33

KK08 MM05 MM12 NN06 NN32

QQ09 QQ10 QQ11 QQ21 QQ37

RR04 RR06 RR22 SS15 SS21

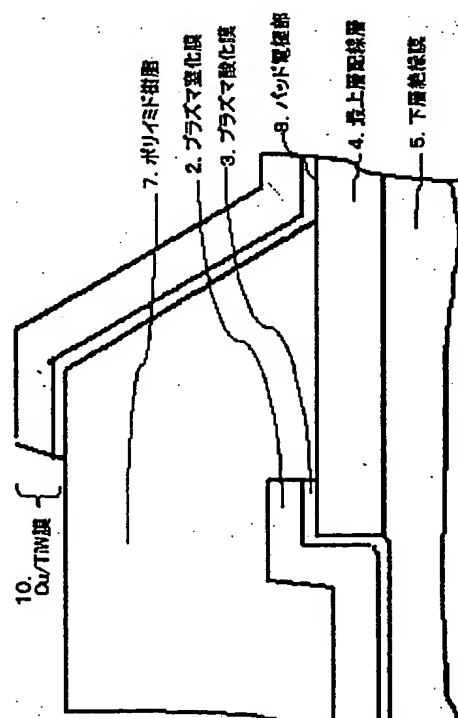
TT04 VV07 XX02

(54)【発明の名称】 フリップチップ接続構造、半導体装置および半導体装置製造方法

(57)【要約】

【課題】 本発明は、ポリイミド樹脂をバッシベーション膜に用いるフリップチップ構造を有する半導体装置において、パッド電極上に形成する金属層を安定したカバレッジにて形成するフリップチップ接続構造、半導体装置および半導体装置製造方法を提供することを課題とする。

【解決手段】 ポリイミド樹脂をバッシベーション膜に使用するフリップチップ接続構造を有する半導体装置において、ポリイミド樹脂は、最上層配線層より上層のプラズマ酸化膜とプラズマ窒化膜からなる絶縁膜を完全に覆い、かつパッド電極部の開孔部側面にテーパーを設けてある。



【特許請求の範囲】

【請求項1】 半田ボールをCu膜上に形成するときに半田ボールとCu膜間のくびれ部分に残りやすかった空気の発生箇所をなくして空洞の発生を抑えることができるフリップチップ接続構造であって、

ポリイミド樹脂をバッシベーション膜に用いるフリップチップ接続構造を有する半導体装置において、前記ポリイミド樹脂は、最上層配線層より上層にある絶縁膜を完全に覆うとともに、パッド電極部の開孔部側面にテーパーを有することを特徴とするフリップチップ接続構造。

【請求項2】 前記絶縁膜はプラズマ窒化膜またはプラズマ酸化膜のうち少なくとも1つの層を含むことを特徴とする請求項1に記載のフリップチップ接続構造。

【請求項3】 半田ボールをCu膜上に形成するときに半田ボールとCu膜間のくびれ部分に残りやすかった空気の発生箇所をなくして空洞の発生を抑えることができる半導体装置であって、

ポリイミド樹脂をバッシベーション膜に用いるフリップチップ接続構造を有する半導体装置において、前記ポリイミド樹脂は、最上層配線層より上層にある絶縁膜を完全に覆うとともに、パッド電極部の開孔部側面にテーパーを有することを特徴とする半導体装置。

【請求項4】 前記絶縁膜がプラズマ窒化膜またはプラズマ酸化膜のうち少なくとも1つの層を含むことを特徴とする請求項3に記載の半導体装置。

【請求項5】 半田ボールをCu膜上に形成するときに半田ボールとCu膜間のくびれ部分に残りやすかった空気の発生箇所をなくして空洞の発生を抑えることができるフリップチップ接続構造を有する半導体装置製造方法であって、

下層絶縁膜上にAl配線からなる最上層配線層を形成する工程と、

ウエハー全面に絶縁膜を形成する工程と、

パッド電極部上にある前記絶縁膜を選択的にエッチング除去する工程と、

前記絶縁膜を完全に覆うとともに、前記パッド電極部の開孔部側面にテーパーをつけて前記ポリイミド樹脂を形成する工程を有することを特徴とする半導体装置製造方法。

【請求項6】 前記最上層配線層および前記ポリイミド樹脂からなるパッド電極上に、後に上層部に形成する半田ボールと接続するための金属層を形成する工程を有することを特徴とする請求項5に記載の半導体装置製造方法。

【請求項7】 パッド電極上に形成する前記金属層は、銅膜とチタン、タングステン、窒化チタン、チタンタングステンのうち少なくとも1つの層を含む層を順次形成する積層構造であることを特徴とする請求項5または6に記載の半導体装置製造方法。

【請求項8】 フォトリソグラフィ技術により前記ポリ

イミド樹脂をバタニングする工程に用いるフォトマスクのマスクパターンは、フォトリソグラフィ技術により前記絶縁膜をバタニングする工程に用いる前記フォトマスクのマスクパターンと同一の配置であることを特徴とする請求項5乃至7のいずれか一項に記載の半導体装置製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フリップチップ接続型の半導体装置およびその製造方法に係り、特に、半田ボールをCu膜上に形成するときに半田ボールとCu膜間のくびれ部分に残りやすかった空気の発生箇所をなくして空洞の発生を抑えることができるフリップチップ接続構造、半導体装置および半導体装置製造方法に関する。

【0002】

【従来の技術】初めに、第1従来技術を図15乃至図19に基づき説明する。図15乃至図19は、従来のフリップチップ構造を有する半導体装置における最上層配線層パターンを形成した後の製造方法につき工程毎に示した断面拡大図である。従来、この種の半導体装置は図15に示すように、下層絶縁膜5上に、例えば厚さ2μm程度からなるAl配線にて最上層配線層4を形成する。次に、上記最上層配線層4および下層絶縁膜5を覆うようにウエハー全面にCVD（化学的気相成長薄膜形成）技術を用いて厚さ0.12μm程度からなるプラズマ酸化膜3を成長させる。次に、上記プラズマ酸化膜3を覆うようにウエハー全面にCVD技術を用いて厚さ1.0μm程度からなるプラズマ窒化膜2を成長させる。次に、バッシベーション膜に使用する感光基を備えたポリイミド樹脂7をウエハー全面に塗布後、パッド電極部8（後述）のみ開孔するように、ポリイミド樹脂7をバタニングする。次に、図16に示すように、ポリイミド樹脂7をマスクにして最上層配線層4が露出するようにプラズマ酸化膜3およびプラズマ窒化膜2をドライエッチング技術により選択的に除去し、パッド電極部8を形成する。次に、図17に示すようにTiW（チタン・タングステン）膜およびCu（銅）膜をそれぞれ0.2μm程度、1.6μm程度の厚さで順次形成する。なお、図17においてCu/TiW膜10と図示する。このとき、Cu/TiW膜10は下層にあるポリイミド樹脂7、プラズマ窒化膜2、プラズマ酸化膜3および最上層配線層4に沿って形成されるが、実際には上記全ての膜上に同じで上がり膜厚のCu/TiW膜10は形成できない。すなわち、プラズマ酸化膜3およびプラズマ窒化膜2の側壁部は、ポリイミド樹脂7への形成および最上層配線層4への形成時の影となることから、ポリイミド樹脂7上および最上層配線層4よりCu/TiW膜10が形成されにくい。このため、上記プラズマ酸化膜3およびプラズマ窒化膜2の側壁部は、膜厚が薄くなるも

のである。特に図17に示すようにプラズマ酸化膜3と最上層配線層4の境界部分(A部)は形成されにくく、最終的にA部におけるCu/TiW膜10はくびれる形となり、図20のモデル図に示すようにCu/TiW膜10のカバレッジ、つまり同一パッド電極内におけるCu/TiW膜10のでき上がり最小膜厚bに対するCu/TiW膜10のでき上がり最大膜厚aの比率(=b/a)は10%以下に悪化するものであった。次に、図18に示すようにCu/TiW膜10上にレジスト15を塗布後、パッド電極部8上のみCu/TiW膜10上を形成するため、所望のCu/TiW膜10パターンを得るようレジスト15をパターニングする。次に、図19に示すようにエッチング技術を用いてCu/TiW膜10を選択的に除去し、最終的にパッド電極部8上のみCu/TiW膜10を覆うように形成するものであった。以上が従来のフリップチップ接続用半導体装置製造方法を示したものであり、上記Cu/TiW膜10上に半田ボール(図示せず)を形成した後に、チップと基板を接続するものであった。

【0003】また他の従来技術としては、例えば、特公平7-58711号公報(第2従来技術)に記載のものがある。特公平7-58711号公報に記載の第2従来技術は、半田を用いて半導体チップをケース又は基板に電気的に接続し、半田と半導体チップの配線層間にバリア金属で形成されるバリアパッドを有する半導体集積回路装置であって、バリアパッドは、相互に導通した配線コンタクト領域と半田領域とを有し、配線コンタクト領域は、半導体チップの配線層に接続され、半田領域は、半田が融着されるものであり、配線コンタクト領域と半田領域とは、導通を保ったまま横方向に距離をあけて設けられた半導体集積回路装置である。このような半導体集積回路装置は、バリアパッドの配線コンタクト領域と、半田を形成する領域とが横方向に離して設けてあるため、バリア金属としてのバリアパッドの厚みを厚くしたと同様に耐熱性を得ることができ、さらに、バリアパッド形成時のピンホールおよびP/Wによるバリアパッドのキズ、クラックは、バリアパッドの表面に対し垂直に入るため、配線コンタクトと半田形成領域がずれていると、半田の浸透を起こさず、信頼性が高くなるといった効果が開示されている。

【0004】また他の従来技術としては、例えば、特開平9-260389号公報(第3従来技術)に記載のものがある。すなわち、特開平9-260389号公報に記載の第3従来技術は、ベアチップと配線基板とのフリップチップ接続を低コスト化でき、チップと配線基板との接続不良を防止できる半導体集積回路装置及びその製造方法を提供することを目的とするものであって、集積回路チップと、この集積回路チップ上に形成されたI/Oパッドと、集積回路チップ上及びI/Oパッド上に形成され、I/Oパッド上に第1の開口部を有する第1の

絶縁膜と、第1の絶縁膜上に形成され、第1の開口部を介してI/Oパッドと電気的に接続される導電層と、この導電層上に形成され、導電層と同じパターンを有する半田ボール位置規定金属層またはバリア金属層と、半田ボール位置規定金属層またはバリア金属層上及び第1の絶縁膜上に形成され、半田ボール位置規定金属層またはバリア金属層上の第1の開口部と異なる位置に第2の開口部を有する第2の絶縁膜と、第2の開口部内の半田ボール位置規定金属層またはバリア金属層上に形成された半田バンプまたは金属パッドとを具備し、半田バンプまたは金属パッドの位置を第2の開口部で規定する半導体集積回路装置である。このような半導体集積回路装置によれば、ベアチップと配線基板とのフリップチップ接続を低コストで実現でき、且つチップと配線基板との接続不良を防止できるといった効果が開示されている。

【0005】

【発明が解決しようとする課題】しかしながら、従来技術には以下に掲げる問題点があった。まず第1の問題点は、図19に示すようにA部においてCu/TiW膜10がくびれる形状になることにより、Cu/TiW膜10上に半田ボールを形成するときにくびれた部分に空気が残りやすいことである。その理由は、パッド電極部8上に半田ボールを接続するため熱処理を行ったときに、半田ボールはパッド電極部8の縁を防ぐ形で密着するため、くびれた部分に空気が残っていた場合、パッド電極部8の縁を半田ボールで塞がれているために、パッド電極部8と半田ボールの間に空気が溜まってしまい、空洞が生じるからである。そして、第2の問題点は、上記と同じ理由で、半田ボールの密着強度が低下し、半田ボールがパッド電極部8上から脱落しやすくなるため、実装歩留まりが低下することである。

【0006】本発明は斯かる問題点を鑑みてなされたものであり、その目的とするところは、半田ボールをCu膜上に形成するときに半田ボールとCu膜間のくびれ部分に残りやすかった空気の発生箇所をなくして空洞の発生を抑えることができるフリップチップ接続構造、半導体装置および半導体装置製造方法を提供する点にある。

【0007】

【課題を解決するための手段】請求項1に記載の発明の要旨は、半田ボールをCu膜上に形成するときに半田ボールとCu膜間のくびれ部分に残りやすかった空気の発生箇所をなくして空洞の発生を抑えることができるフリップチップ接続構造であって、ポリイミド樹脂をバッシュン膜に用いるフリップチップ接続構造を有する半導体装置において、前記ポリイミド樹脂は、最上層配線層より上層にある絶縁膜を完全に覆うとともに、パッド電極部の開口部側面にテーパーを有することを特徴とするフリップチップ接続構造に存する。また、請求項2に記載の発明の要旨は、前記絶縁膜はプラズマ窒化膜ま

たはプラズマ酸化膜のうち少なくとも1つの層を含むことを特徴とする請求項1に記載のフリップチップ接続構造に存する。また、請求項3に記載の発明の要旨は、半田ボールをCu膜上に形成するときに半田ボールとCu膜間のくびれ部分に残りやすかった空気の発生箇所をなくして空洞の発生を抑えることができる半導体装置であって、ポリイミド樹脂をバッシベーション膜に用いるフリップチップ接続構造を有する半導体装置において、前記ポリイミド樹脂は、最上層配線層より上層にある絶縁膜を完全に覆うとともに、パッド電極部の開孔部側面にテーパーを有することを特徴とする半導体装置に存する。また、請求項4に記載の発明の要旨は、前記絶縁膜がプラズマ窒化膜またはプラズマ酸化膜のうち少なくとも1つの層を含むことを特徴とする請求項3に記載の半導体装置に存する。また、請求項5に記載の発明の要旨は、半田ボールをCu膜上に形成するときに半田ボールとCu膜間のくびれ部分に残りやすかった空気の発生箇所をなくして空洞の発生を抑えることができるフリップチップ接続構造を有する半導体装置製造方法であって、下層絶縁膜上にA1配線からなる最上層配線層を形成する工程と、ウエハー全面に絶縁膜を形成する工程と、パッド電極部上にある前記絶縁膜を選択的にエッチング除去する工程と、前記絶縁膜を完全に覆うとともに、前記パッド電極部の開孔部側面にテーパーをつけて前記ポリイミド樹脂を形成する工程を有することを特徴とする半導体装置製造方法に存する。また、請求項6に記載の発明の要旨は、前記最上層配線層および前記ポリイミド樹脂からなるパッド電極上に、後に上層部に形成する半田ボールと接続するための金属層を形成する工程を有することを特徴とする請求項5に記載の半導体装置製造方法に存する。また、請求項7に記載の発明の要旨は、パッド電極上に形成する前記金属層は、銅膜とチタン、タングステン、窒化チタン、チタタングステンのうち少なくとも1つの層を含む層を順次形成する積層構造であることを特徴とする請求項5または6に記載の半導体装置製造方法に存する。また、請求項8に記載の発明の要旨は、フォトリソグラフィ技術により前記ポリイミド樹脂をバターニングする工程に用いるフォトマスクのマスクパターンは、フォトリソグラフィ技術により前記絶縁膜をバターニングする工程に用いる前記フォトマスクのマスクパターンと同一の配置であることを特徴とする請求項5乃至7のいずれか一項に記載の半導体装置製造方法に存する。

【0008】

【発明の実施の形態】以下に示す各実施の形態の特徴は、本発明ではフリップチップ構造を有する半導体装置のパッド電極形成工程において、ポリイミド樹脂は最上層配線層より上層で前記ポリイミド樹脂より下層にあるプラズマ窒化膜やプラズマ酸化膜等の絶縁膜を完全に覆い、かつその開孔部側面のポリイミド樹脂にテーパーを

形成していることにある。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0009】(第1の実施の形態)初めに、図面に基づき第1の実施形態を説明する。図1、図3、図4、図6、図7、図8は、本実施の形態のフリップチップ構造を有する半導体装置の最上層配線層パターンを形成した後の製造方法を工程順に示した断面拡大図である。図2、図5は、本実施の形態のフリップチップ接続構造を有する半導体装置の製造過程におけるパッド電極部8の平面拡大図である。図2に示すパッド電極部8の平面拡大図におけるA-A'線に沿った断面拡大図を図1に示し、図5に示すパッド電極部8の平面拡大図におけるB-B'線に沿った断面拡大図を図4に示している。

【0010】本実施の形態では、まず図1、図2に示すように、下層絶縁膜5上に厚さ2.0 μ m程度からなるA1配線を用いて最上層配線層4を形成する。次に、上記最上層配線層4および下層絶縁膜5を覆うようにウエハー全面にCVD技術を用いて厚さ0.12 μ m程度からなるプラズマ酸化膜3を成長させる。次に、上記プラズマ酸化膜3を覆うようにウエハー全面にCVD技術により厚さ1.0 μ m程度からなるプラズマ窒化膜2を成長させる。以上は従来技術と同じである。

【0011】次に、パッド電極部8を開孔するため、フォトマスク11のマスクパターンを用いてレジスト1のバターニングを行う。なお、フォトマスク11のマスクパターンはパッド電極部8のみ開孔するように設計したマスクパターンである。

【0012】またパッド電極部8は350乃至400 μ m程度角の大きさであり、後から形成するCu/TiW膜10と最上層配線層4との接続部分を示す。

【0013】次に、図3に示すように、レジスト1をマスクにして最上層配線層4が露出するようにプラズマ酸化膜3およびプラズマ窒化膜2をドライエッチング技術により選択的に除去する。

【0014】次に、図4、図5に示すように、レジスト1除去後、感光基をもつポリイミド樹脂7をウエハー全面に塗布後、フォトマスク12のマスクパターンを用いてポリイミド樹脂7をバターニングしてテーパーなしのポリイミド樹脂7aを形成する。この時ポリイミド樹脂7の露光現像および熱処理の条件を最適化することにより、プラズマ酸化膜3およびプラズマ窒化膜2からなる絶縁膜14を露出させず、かつテーパーのついたポリイミド樹脂7bを設けることができる。一例としてフォーカスをずらして露光し、その後に現像することで、ポリイミド樹脂7にテーパーをつけることができる。

【0015】上記実施の形態では、ポリイミド樹脂7にテーパーをつけることにより、最上層配線層4付近のでき上がりパッド開孔径が一番小さく形成され、最上層配線層4より上層にいくほどでき上がりパッド開孔径が大きくなり形成される。なお、フォトマスク12は、フォトマ

スク 1:1 のマスクパターンにおけるパッド開孔部の開孔径部分のみ 10 乃至 20 μm 程度小さく設計しているものが望ましく効果が大きい。またテーパ角の角度は 60 乃至 70 度が適当であり効果が大きい、上記以外でもテーパをつけることにより効果は見込めるものである。

【0016】次に、図 6 に示すように、TiW 膜および Cu 膜をそれぞれ 0.2 μm 程度、1.6 μm 程度の厚さでウエハー全面に順次形成する。(図中では Cu/TiW 膜 10 と表記する。)

【0017】次に、図 7 に示すように、パッド電極部 8 のみ Cu/TiW 膜 10 上を形成するため、Cu/TiW 膜 10 上にレジスト 15 を塗布後、所望の Cu/TiW 膜 10 パターンにレジスト 15 をパターニングする。次に、図 8 に示すように、エッチング技術を用いて Cu/TiW 膜 10 を選択的に除去し、最終的にパッド電極部 8 上のみを金属層である Cu/TiW 膜 10 が覆うように形成する。

【0018】本実施の形態では、ポリイミド樹脂 7 上および最上層配線層 4 にのみ Cu/TiW 膜 10 が形成されるものであるが、上述したように、ポリイミド樹脂 7 にはテーパがついているため、Cu/TiW 膜 10 を形成するときにポリイミド樹脂 7 上および最上層配線層 4 上の影となる部分がないため Cu/TiW 膜 10 のくびれが発生せず、両膜上に同等のでき上がり膜厚で形成できる。次に、上記 Cu/TiW 膜 10 上に半田ボール(図示せず)を形成した後チップと基板を接続する。

【0019】上記実施の形態では Cu/TiW 膜 10 の形状がくびれないようにすることで、半田ボールを Cu 上に形成するときに、半田ボールと Cu 間に、空洞の発生を抑えることができる。従って、半田ボールと Cu 間の密着性を向上させ、密着強度をあげることで実装歩留まりを向上させることができる。

【0020】また上記実施の形態では Cu/TiW 膜 10 のカバレッジは、例えばポリイミド樹脂 7 のテーパ角度が 60 度のとき、80% 程度確保でき、半田ボールを形成する際に半田ボールと Cu 間の密着不良は発生しない。

【0021】(第 2 の実施の形態) 次に、第 2 の実施の形態を図 9 乃至図 14 を参照に説明する。図 3、図 4、図 6、図 9 は、第 2 の実施の形態のフリップチップ構造を有する半導体装置の最上層配線層 4 を形成した後の製造方法を工程順に示した断面図である。図 10、図 13 は、第 2 の実施の形態のフリップチップ接続構造を有する半導体装置の製造過程におけるパッド電極部 8 の平面拡大図である。図 10 に示すパッド電極部 8 の平面拡大図における C-C' 線に沿った断面拡大図を図 9 に示し、図 13 に示すパッド電極部 8 の平面拡大図における D-D' 線に沿った断面拡大図を図 12 に示している。

【0022】本実施の形態では、図 9、図 11 までのエ

程は第 1 の実施の形態に示した工程と同じである。本実施の形態にて第 1 の実施の形態と異なるのは、図 12、図 13 に示すように、ポリイミド樹脂 7 をフォトリソグラフィ技術によりパターニングするときに使用するフォトマスク 13 は、図 9 に示すフォトマスク 11 と同じフォトマスクを使用して開孔することにある。上記ポリイミド樹脂 7 の露光現像時の現像条件シーケンスや熱処理条件の温度・時間を最適化することにより、テーパ角度がつくような条件を設定し、プラズマ酸化膜 3、プラズマ窒化膜 2 側壁をポリイミドで覆うようにするものであり、フォトマスク数を増加することなく、第 1 の実施の形態と同様の効果を持たせることができる。

【0023】また本実施の形態では、図 12 に示すように、第 1 の実施の形態よりポリイミド樹脂 7 のテーパ角度は 50 乃至 60 度付近と小さくなる。従って、ポリイミド樹脂 7 上および最上層配線層 4 に形成される Cu/TiW 膜 10 のカバレッジは安定的になるだけでなく、後で形成する半田ボールとの接触面積が大きくなり、Cu 膜と半田ボールとの密着性が向上する。

【0024】また本実施の形態において、パッド電極上に形成する金属層は Cu/TiW 膜 10 に限定するものではなく銅 (Cu) 膜とチタン (Ti)、タングステン (W)、窒化チタン (TiN)、チタンタングステン (TiW) のうち少なくとも 1 つの層を含む層を順次形成する積層構造であればよい。また前記最上層配線層 4 上の絶縁膜 14 に関し、本実施の形態に示したプラズマ酸化膜 3 とプラズマ窒化膜 2 の積層構造は一例にすぎず、プラズマ窒化膜 2 およびプラズマ酸化膜 3 のうち少なくとも 1 つの層を含んでいればよい。また本実施の形態に示した最上層配線層 4 上の絶縁膜 14 や金属層の膜厚は一例にすぎず、膜の種類や形成条件に応じて異なるのは言うまでもない。

【0025】以上説明したように上記各実施の形態によれば、パッド電極上に形成する Cu/TiW 膜 10 の形状がくびれないようにすることで、半田ボールを Cu 膜上に形成するときに、半田ボールと Cu 膜間のくびれ部分に残りやすかった空気発生箇所をなくし、空洞の発生を抑えることができる。従って、半田ボールと Cu 膜間の密着性を向上させ、密着強度をあげることで実装歩留まりを向上させることができる。

【0026】なお、本発明が上記各実施の形態に限定されず、本発明の技術思想の範囲内において、各実施の形態は適宜変更され得ることは明らかである。また上記構成部材の数、位置、形状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等にすることができる。また、各図において、同一構成要素には同一符号を付している。

【0027】

【発明の効果】本発明は以上のように構成されているので、パッド電極上に形成する Cu/TiW 膜の形状がく

10

20

30

40

50

びれないようにすることで、半田ボールをCu膜上に形成するとき、半田ボールとCu膜間のくびれ部分に残りやすかった空気の発生箇所をなくし、空洞の発生を抑えることができる。従って半田ボールとCu膜間の密着性を向上させ、密着強度をあげることで実装歩留まりを向上させることができる。

【図面の簡単な説明】

【図1】第1の実施の形態のフリップチップ構造を有する半導体装置の最上層配線層パターンを形成した後の製造方法を工程順に示した断面拡大図である。

【図2】第1の実施の形態のフリップチップ接続構造を有する半導体装置の製造過程におけるパッド電極部の平面拡大図である。

【図3】第1、第2の実施の形態のフリップチップ構造を有する半導体装置の最上層配線層パターンを形成した後の製造方法を工程順に示した断面拡大図である。

【図4】第1の実施の形態のフリップチップ接続構造を有する半導体装置の製造過程におけるパッド電極部の平面拡大図である。

【図5】第2の実施の形態のフリップチップ構造を有する半導体装置の最上層配線層を形成した後の製造方法を工程順に示した断面図である。

【図6】第1、第2の実施の形態のフリップチップ構造を有する半導体装置の最上層配線層パターンを形成した後の製造方法を工程順に示した断面拡大図である。

【図7】第1の実施の形態のフリップチップ構造を有する半導体装置の最上層配線層パターンを形成した後の製造方法を工程順に示した断面拡大図である。

【図8】第1の実施の形態のフリップチップ構造を有する半導体装置の最上層配線層パターンを形成した後の製造方法を工程順に示した断面拡大図である。

【図9】第2の実施の形態のフリップチップ構造を有する半導体装置の最上層配線層を形成した後の製造方法を工程順に示した断面図である。

【図10】第2の実施の形態のフリップチップ接続構造を有する半導体装置の製造過程におけるパッド電極部の平面拡大図である。

【図11】パッド電極部の断面拡大図である。

【図12】パッド電極部の断面拡大図である。

【図13】第2の実施の形態のフリップチップ接続構造を有する半導体装置の製造過程におけるパッド電極部の平面拡大図である。

【図14】パッド電極部の断面拡大図である。

【図15】従来のフリップチップ構造を有する半導体装置における最上層配線層パターンを形成した後の製造方法の断面拡大図である。

10 【図16】従来のフリップチップ構造を有する半導体装置における最上層配線層パターンを形成した後の製造方法の断面拡大図である。

【図17】従来のフリップチップ構造を有する半導体装置における最上層配線層パターンを形成した後の製造方法の断面拡大図である。

【図18】従来のフリップチップ構造を有する半導体装置における最上層配線層パターンを形成した後の製造方法の断面拡大図である。

20 【図19】従来のフリップチップ構造を有する半導体装置における最上層配線層パターンを形成した後の製造方法の断面拡大図である。

【図20】フリップチップ接続構造を有する半導体装置のモデル図である。

【符号の説明】

1, 15...レジスト

2...プラズマ窒化膜

3...プラズマ酸化膜

4...最上層配線層

5...下層絶縁膜

30 7...ポリイミド樹脂

7a...テーパーなしのポリイミド樹脂

7b...テーパーをつけたポリイミド樹脂

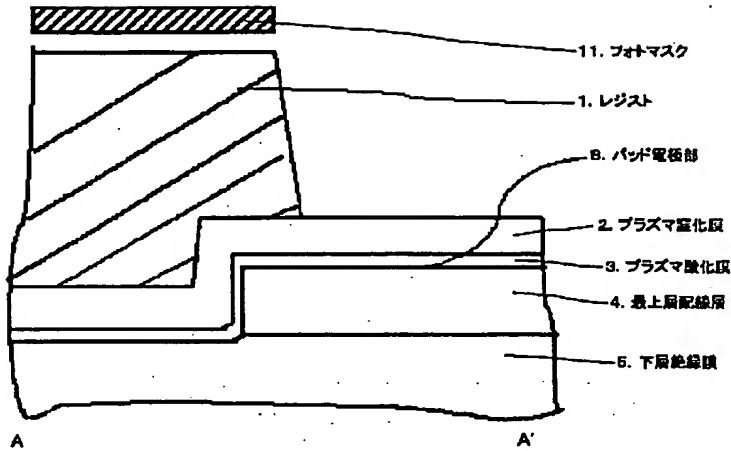
8...パッド電極部

10...Cu/TiW膜

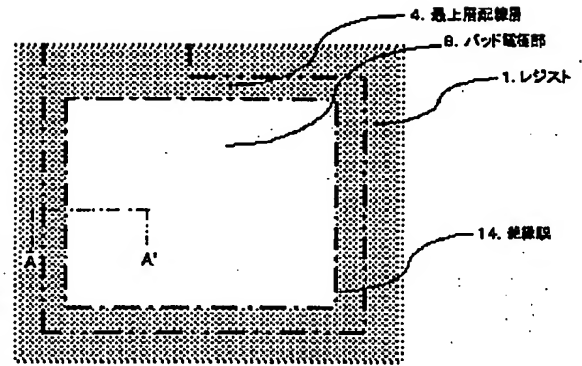
11, 12, 13...フォトマスク

14...絶縁膜

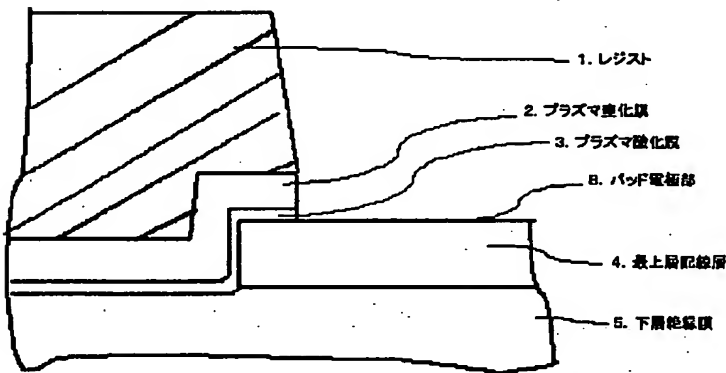
【図1】



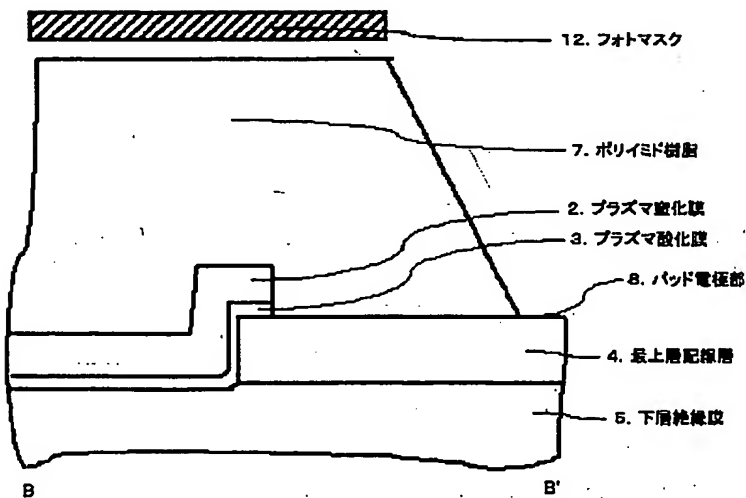
【図2】



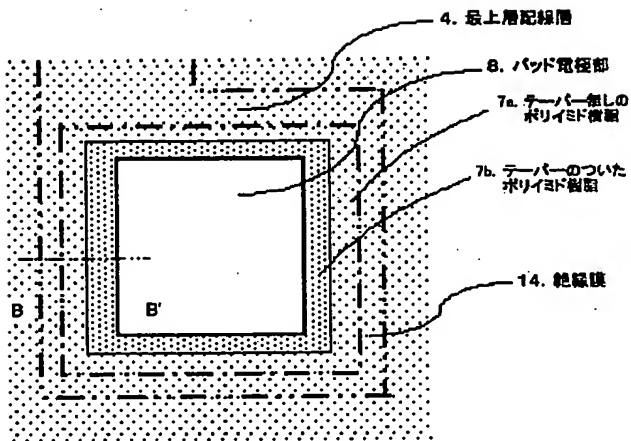
【図3】



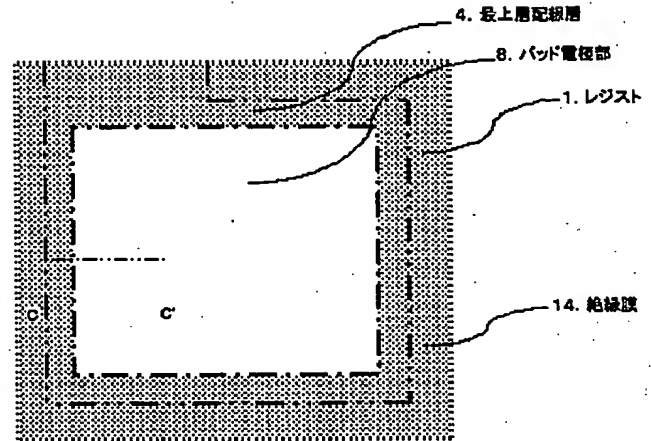
【図4】



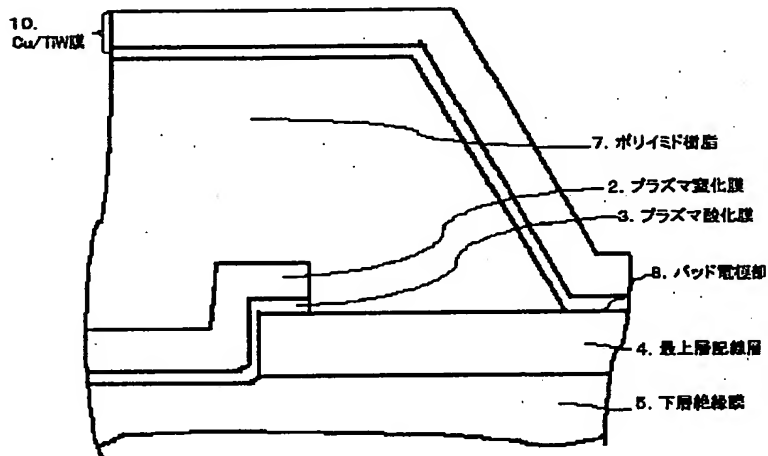
【図5】



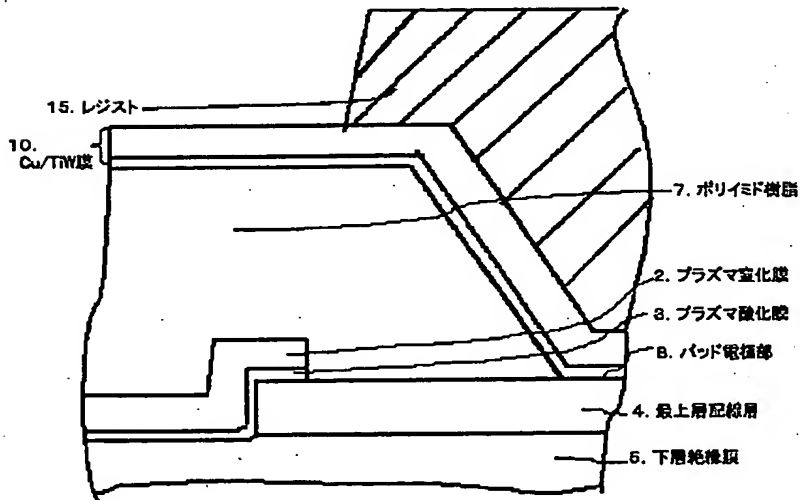
【図10】



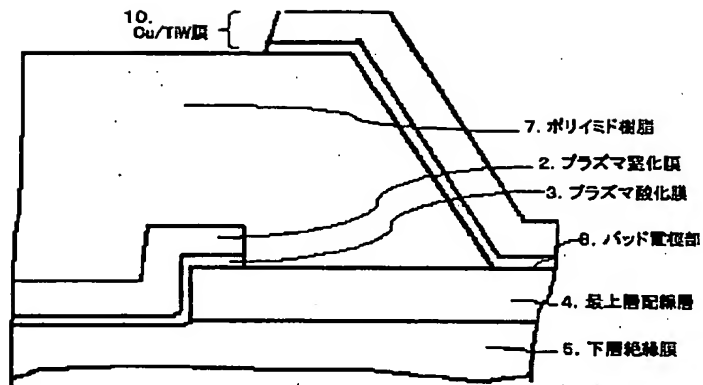
【図6】



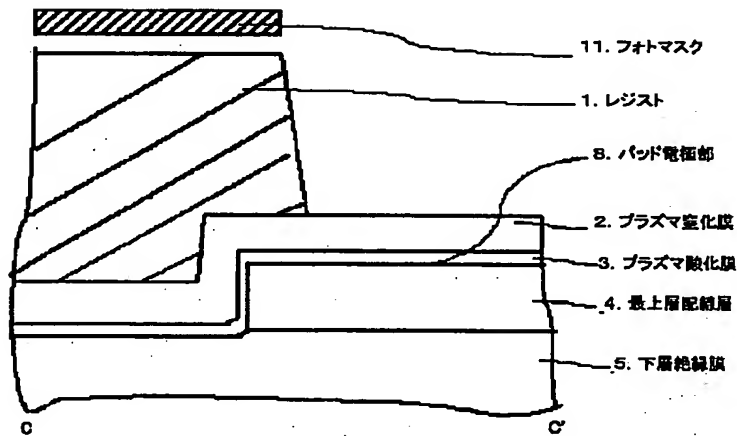
【図7】



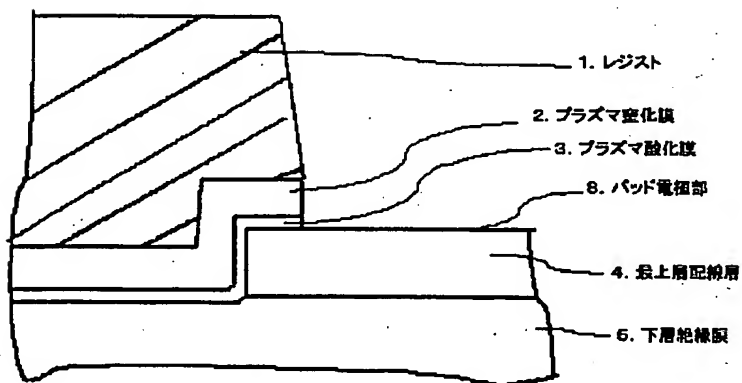
【図8】



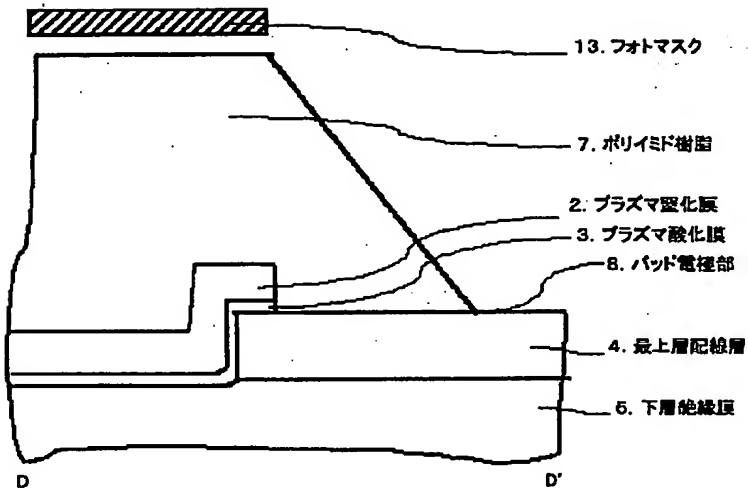
【図9】



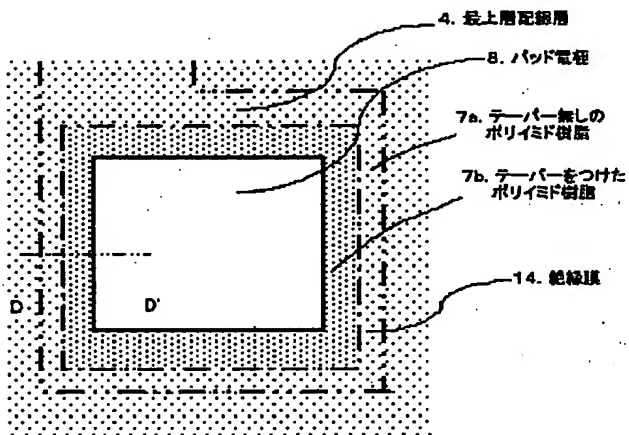
【図11】



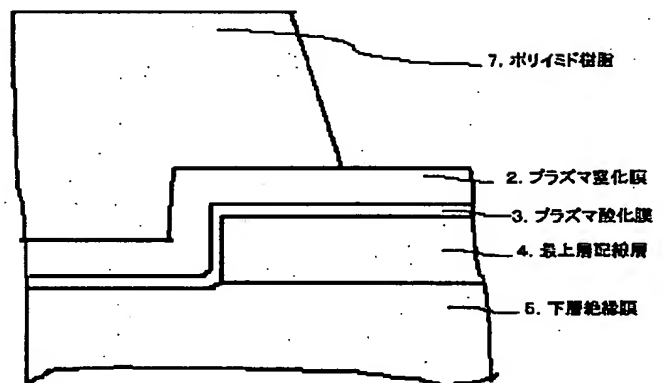
【図12】



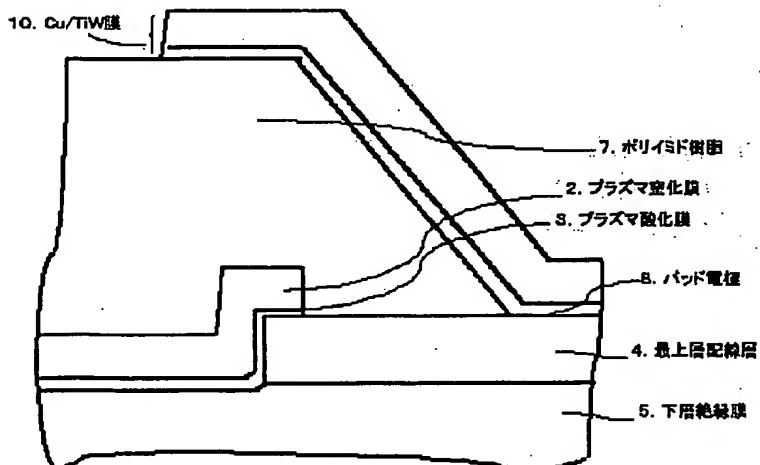
【図13】



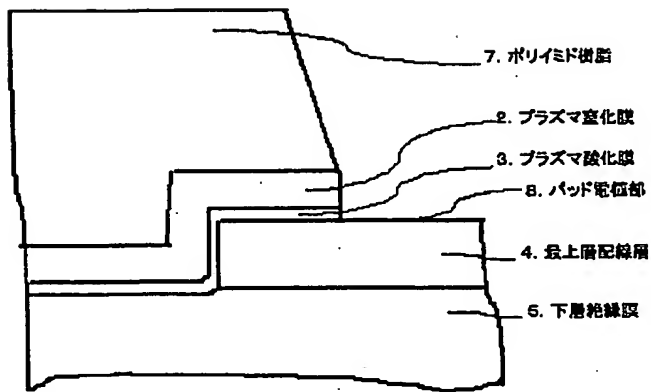
【図15】



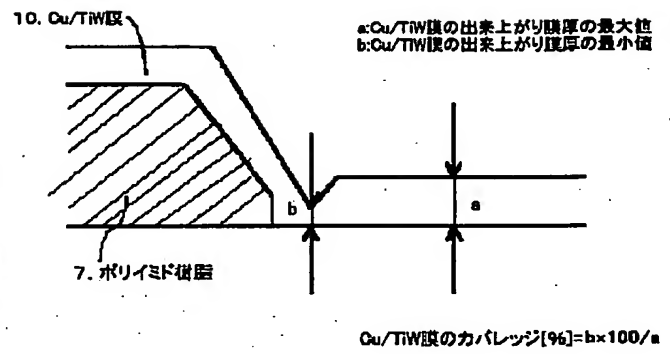
【図14】



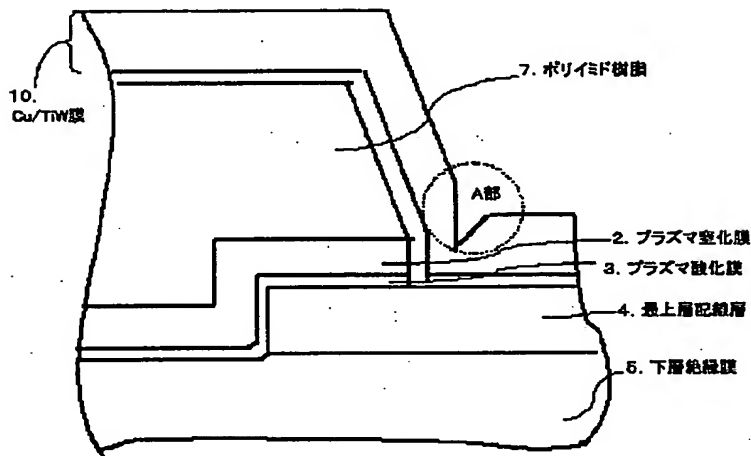
【図16】



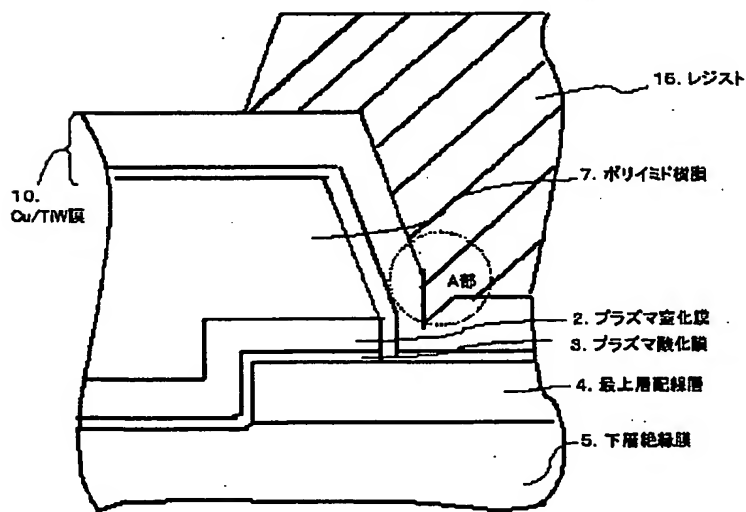
【図20】



【図17】



【図18】



【図19】

